

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Noboru MATSUDA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-092263	March 28, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 3月28日

出 願 番 号
Application Number:

特願2003-092263

[ST.10/C]:

[JP2003-092263]

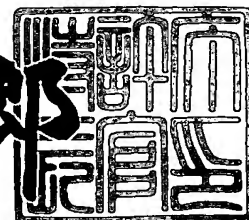
出 願 人
Applicant(s):

株式会社東芝

2003年 6月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3042992

【書類名】 特許願

【整理番号】 PTS0239

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 11

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 松田 昇

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100088487

 【弁理士】

 【氏名又は名称】 松山 允之

【選任した代理人】

 【識別番号】 100108062

 【弁理士】

 【氏名又は名称】 日向寺 雅彦

【手数料の表示】

 【予納台帳番号】 087469

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

第 1 導電型の第 1 の半導体層と、
前記第 1 の半導体層の上に設けられた第 2 導電型の第 2 の半導体層と、
前記第 2 の半導体層を貫通して前記第 1 の半導体層に至るトレンチと、
前記第 1 の半導体層の上面よりも下方で前記トレンチの内壁面に設けられた厚いゲート絶縁膜と、
前記厚いゲート絶縁膜の上側で前記トレンチの内壁面に設けられた薄いゲート絶縁膜と、
前記ゲート絶縁膜を介して前記トレンチ内を充填するゲート電極と、
前記トレンチに隣接して選択的に前記第 2 の半導体層の下から前記第 1 の半導体層側へ突出するように設けられた第 2 導電型の半導体領域と、
を備えたことを特徴とする半導体装置。

【請求項 2】

第 1 導電型の第 1 の半導体層と、
前記第 1 の半導体層の上に設けられた第 2 導電型の第 2 の半導体層と、
前記第 2 の半導体層を貫通して前記第 1 の半導体層に至るトレンチと、
前記第 1 の半導体層の上面よりも下方で前記トレンチの内壁面に設けられた厚いゲート絶縁膜と、
前記厚いゲート絶縁膜の上側で前記トレンチの内壁面に設けられた薄いゲート絶縁膜と、
前記ゲート絶縁膜を介して前記トレンチ内を充填するゲート電極と、
前記トレンチに隣接して前記第 1 の半導体層における前記第 2 の半導体層側の一部を選択的に第 2 導電型に反転させることにより形成された第 2 導電型の半導体領域と、
を備えたことを特徴とする半導体装置。

【請求項 3】

前記ゲート絶縁膜に接する部分における前記半導体領域の下端が、前記厚いゲート絶縁膜と前記薄いゲート絶縁膜との境界と略同一レベルであることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 2 導電型の半導体領域のキャリア濃度は、前記第 1 の半導体層のキャリア濃度よりも高く、前記第 2 の半導体層のキャリア濃度よりも低いことを特徴とする請求項 1 ～ 3 のいずれか 1 つに記載の半導体装置。

【請求項 5】

前記厚いゲート絶縁膜は、前記トレンチの幅の半分よりも小なる厚みを有し、前記トレンチの底部には、前記厚いゲート絶縁膜に囲まれた凹部が形成され、前記ゲート電極は、前記凹部にも充填されてなることを特徴とする請求項 1 ～ 4 のいずれか 1 つに記載の半導体装置。

【請求項 6】

前記厚いゲート絶縁膜は、前記トレンチの幅の半分よりも大なる厚みを有し、前記トレンチの底部は、前記厚いゲート絶縁膜により略平坦に埋め込まれてなることを特徴とする請求項 1 ～ 4 のいずれか 1 つに記載の半導体装置。

【請求項 7】

前記第 2 導電型の半導体領域は、前記厚いゲート絶縁膜とセルフアライン的に形成されてなることを特徴とする請求項 1 ～ 6 のいずれか 1 つに記載の半導体装置。

【請求項 8】

前記ゲート電極に印加する電圧に応じて、前記第 2 の半導体層及び前記第 2 導電型の半導体領域のうちの前記ゲート絶縁膜に隣接した部分にチャネルが形成可能とされたことを特徴とする請求項 1 ～ 7 のいずれか 1 つに記載の半導体装置。

【請求項 9】

第 1 導電型の第 1 の半導体層と、その上に設けられた第 2 導電型の第 2 の半導体層と、前記第 2 の半導体層を貫通して前記第 1 の半導体層に至るトレンチと、前記第 1 の半導体層の上面よりも下方で前記トレンチの内壁に設けられた厚いゲート絶縁膜と、を形成する工程と、

前記第 1 の半導体層のうちの前記厚いゲート絶縁膜よりも上側で前記トレンチに隣接した部分に第 2 導電型の不純物を導入することにより第 2 導電型の半導体領域を形成する工程と、

前記厚いゲート絶縁膜よりも上側で前記トレンチの内壁に薄いゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜を介して前記トレンチ内をゲート電極により充填する工程と

を備えたことを特徴とする半導体装置の製造方法。

【請求項 1 0】

前記厚いゲート絶縁膜をマスクとして前記トレンチから前記第 1 の半導体層に前記第 2 導電型の不純物を導入することにより前記第 2 導電型の半導体領域を形成することを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 1 1】

前記第 2 の半導体層の上から前記第 2 導電型の不純物を打ち込むことにより前記第 2 導電型の半導体領域を形成することを特徴とする請求項 9 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に、トレンチゲート (trench gate) 型の構造を有する半導体装置及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

トレンチゲート型の MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) や IGBT (Insulated Gate Bipolar Transistor) などの半導体装置は、電力スイッチングを始めとする各種の分野に利用されている。一例を挙げると、小型のトレンチゲート型 MOSFET は、パソコンの内部において電源電圧 (例えば、17 ボルト) を、CPU や各種ディスクドライブなどの電源レベル (例えば、1.7 ボルト) に降圧させるために、動作周波数 500 kHz 程度

の高速スイッチング素子として用いられている。

【0003】

近年の省エネルギー化などの要請から、これらの半導体装置に対しても、高効率化が要求されている。このためには、素子の導通損失の低減すなわち「オン抵抗 (R_{on})」の低減が有効である。このために、セルの微細化によるオン抵抗の低減が図られてきた。特に、素子構造に「トレンチゲート構造」を採用することで、チャネル幅を稼ぎ、大幅な高密度化が実現できるようになる。

【0004】

図11は、本発明者が本発明に至る過程で検討した半導体装置を表す模式図である。

すなわち、同図は、トレンチゲート型のnチャネル型MOSFETのゲート付近の断面構造を表す。 n^+ 型基板7の上には、 n^- 型エピタキシャル領域6とp型ベース領域5がこの順に積層され、その表面からエピタキシャル層6に至るトレンチが形成されている。トレンチの中には、ゲート絶縁膜（ゲート酸化膜）3と埋め込みゲート電極1とからなる埋め込みゲートが設けられている。埋め込みゲートの上には層間絶縁膜4が適宜設けられ、またトレンチの上部周辺にはn型ソース領域2Aと、 p^+ 型ソース領域2Bがそれぞれ形成されている。また、基板7の裏面側には、ドレイン電極8が適宜設けられている。

【0005】

このMOSFETは、ゲート電極1に所定のバイアス電圧を印加することにより、埋め込みトレンチの周囲にチャネル領域を形成して、ソース領域2Aとドレイン領域との間を「オン」状態とするスイッチング動作をさせることができる。

【0006】

さて、このような半導体装置において、動作効率を改善するためには、「オン抵抗」の低減とともに、スイッチング損失 (Q_{sw}) を低減する必要がある。スイッチング損失を低減させるためには、素子の「寄生容量」を低減させて動作速度を上げることが重要である。

【0007】

例えば、複数のスイッチング素子を組み合わせてインバータ制御などを行う場

合、素子の動作速度が遅いと、整流アームの貫通電流を防ぐために、アームを構成するスイッチング素子の全てを「オフ」となる「デッドタイム」を長く設定する必要があり、損失が生ずる。これに対して、スイッチング素子の寄生容量を低下させて動作速度が速くなれば、「デッドタイム」を短縮することができ、損失を減らすことができる。

【 0 0 0 8 】

図 1 1 に例示した半導体装置の寄生容量は、いくつかの成分に分けることができる。

まず、ドレイン・ゲート間容量 (C_{gd}) を上げることができる。これは、エピタキシャル領域 6 とゲート酸化膜 3 とが接する部分において生ずる。次に、ドレイン・ソース間容量 (C_{ds}) を上げることができる。これは、エピタキシャル領域 6 とベース領域 5 とが接する p n 接合部において生ずる。また、ゲート・ソース間容量 (C_{gs}) を上げることができる。これは、ゲート酸化膜 3 とソース領域 2 A 及び、ゲート酸化膜 3 とベース領域 5 とが接する部分において生ずる。

【 0 0 0 9 】

これらの容量成分は、いずれも半導体装置のスイッチング動作に損失を与えるため、容量を低下させる必要がある。そして、これら容量成分の中でも、特にドレイン・ゲート間容量 (C_{gd}) を低下させることが容量の低減のために効果的である。

【 0 0 1 0 】

これら寄生容量を低下させる方法としては、接触部の面積を小さくする方法や、各半導体領域のキャリア濃度を下げることにより空乏化を促進させる方法なども考えられる。しかし、これらの方法による場合、半導体装置の「オン抵抗」と、「寄生容量」あるいは「耐圧」とがトレードオフの関係となり、総合的な性能の改良が困難になるという問題があった。

【 0 0 1 1 】

これに対して、特許文献 1 及び 2 には、トレンチの底部においてゲート酸化膜の厚みを厚くすることにより C_{gd} を低下させることが可能な構造が開示されて

いる。

【0012】

【特許文献1】

特開2002-299619号公報

【特許文献2】

特許第2917922号公報

【0013】

【発明が解決しようとする課題】

しかし、これら特許文献に開示された構造においては、オン抵抗 (R_{on}) の低減とスイッチング損失 (Q_{sw}) の低減とを両立させることが困難であるという問題があった。

【0014】

図12は、特許文献1及び2に開示されている構造のトレンチ底部を模式的に表した断面図である。すなわち、同図(a)は、特許文献1に開示された構造、同図(b)は、特許文献2に開示された構造を表す。

【0015】

図12(a)に表した構造の場合、ゲート酸化膜3は、膜厚が薄いゲート酸化膜3aと膜厚が厚いゲート酸化膜3bとを有する。そして、p型ベース領域5とエピタキシャル領域6との境界B1は、ゲート酸化膜3の薄いゲート酸化膜3aと厚いゲート酸化膜3bとの境界B2よりも下側にずれている。つまり、厚いゲート酸化膜3bは、p型ベース領域5とn⁻型エピタキシャル領域6との境界B1よりも上側、すなわちp型ベース領域5に張り出している。p型ベース領域5に隣接するゲート酸化膜3の厚みが厚くなると、ゲート電圧によるチャネル領域の形成が不十分となり、オン抵抗 (R_{on}) が上昇する。図12(a)に表した構造の場合、チャネル領域のうちで領域5aの部分においてこのような問題が生ずる。

【0016】

一方、図12(b)に表した構造の場合は、逆に、境界B1は、境界B2よりも上側にずれている。つまり、ゲート酸化膜3の薄いゲート酸化膜3aがn⁻型

エピタキシャル層に張り出している。すると、このオーバーラップ部 6 a においては、ドレイン・ゲート間容量 (C_{gd}) が増大するため、スイッチング損失 (Q_{sw}) が増加するという問題が生ずる。

【0017】

このように、境界 B 1 と B 2 との間に「ずれ」が生ずると、オン抵抗の増大またはスイッチング損失 (Q_{sw}) の増加が生ずる。

つまり、理想的には、図 13 に表した如く、ゲート酸化膜 3 の薄いゲート酸化膜 3 a と厚いゲート酸化膜 3 b との境界は、ベース領域 5 とエピタキシャル領域 6 との境界と一致させることが望ましい。

【0018】

しかし、このような理想的な構造を安定的に製造することは、現実的には非常に困難である。何故ならば、p 型ベース領域 5 は、エピタキシャル層の表面から p 型不純物を拡散させることにより形成されるため、その形成深さには、ある程度の「ばらつき」が生ずる。一方、トレンチの深さについても、RIE (reactive ion etching) などのエッチングに際して、そのプロセス時間によって制御するため、ある程度の「ばらつき」が生じてしまうことは避けられない。

【0019】

そのため、トレンチの上端（または、ベース領域 5 の表面）を基準にとっても、またはトレンチの底を基準にとっても、図 13 のような境界 B 1 と B 2 との理想的な位置関係を再現性良く実現することは困難である。

【0020】

以上詳述したように、従来の技術によれば、トレンチゲート型の半導体装置において、低いオン抵抗 (R_{on}) とスイッチング損失 (Q_{sw}) とを両立させた構造を安定的に得ることは困難であった。

【0021】

本発明は、かかる課題の認識に基づいてなされたものであり、その目的は、オン抵抗とスイッチング損失の低減を両立でき、しかも安定的に量産が可能なトレンチゲート型の半導体装置及びその製造方法を提供することにある。

【0022】

【課題を解決するための手段】

上記目的を達成するために、本発明の第1の態様の半導体装置は、第1導電型の第1の半導体層と、前記第1の半導体層の上に設けられた第2導電型の第2の半導体層と、前記第2の半導体層を貫通して前記第1の半導体層に至るトレンチと、前記第1の半導体層の上面よりも下方で前記トレンチの内壁面に設けられた厚いゲート絶縁膜と、前記厚いゲート絶縁膜の上側で前記トレンチの内壁面に設けられた薄いゲート絶縁膜と、前記ゲート絶縁膜を介して前記トレンチ内を充填するゲート電極と、前記トレンチに隣接して選択的に前記第2の半導体層の下から前記第1の半導体層側へ突出するように設けられた第2導電型の半導体領域と、を備えたことを特徴とする。

【0023】

また、本発明の第2の態様の半導体装置は、第1導電型の第1の半導体層と、前記第1の半導体層の上に設けられた第2導電型の第2の半導体層と、前記第2の半導体層を貫通して前記第1の半導体層に至るトレンチと、前記第1の半導体層の上面よりも下方で前記トレンチの内壁面に設けられた厚いゲート絶縁膜と、前記厚いゲート絶縁膜の上側で前記トレンチの内壁面に設けられた薄いゲート絶縁膜と、前記ゲート絶縁膜を介して前記トレンチ内を充填するゲート電極と、前記トレンチに隣接して前記第1の半導体層における前記第2の半導体層側の一部を選択的に第2導電型に反転させることにより形成された第2導電型の半導体領域と、を備えたことを特徴とする。

【0024】

さらに、本発明の一態様の半導体装置の製造方法は、第1導電型の第1の半導体層と、その上に設けられた第2導電型の第2の半導体層と、前記第2の半導体層を貫通して前記第1の半導体層に至るトレンチと、前記第1の半導体層の上面よりも下方で前記トレンチの内壁に設けられた厚いゲート絶縁膜と、を形成する工程と、前記第1の半導体層のうちの前記厚いゲート絶縁膜よりも上側で前記トレンチに隣接した部分に第2導電型の不純物を導入することにより第2導電型の半導体領域を形成する工程と、前記厚いゲート絶縁膜よりも上側で前記トレンチの内壁に薄いゲート絶縁膜を形成する工程と、前記ゲート絶縁膜を介して前記ト

レンチ内をゲート電極により充填する工程と、を備えたことを特徴とする。

【0025】

【発明の実施の形態】

以下、図面を参照しつつ本発明の実施の形態について説明する。

【0026】

(第1の実施の形態)

図1は、本発明の第1の実施の形態にかかる半導体装置の断面構造を例示する模式図である。すなわち、同図は、トレンチゲート型のnチャネル型MOSFETのゲート付近の要部断面構造を表す。

また、図2は、この半導体装置の電極構造を例示する透視平面図である。

【0027】

すなわち、 n^+ 型基板7の上には、 n^- 型エピタキシャル領域6とp型ベース領域5がこの順に積層され、その表面からエピタキシャル層6に至るトレンチが形成されている。トレンチの中には、ゲート酸化膜3と埋め込みゲート電極1とからなる埋め込みゲートが設けられている。埋め込みゲートの上には層間絶縁膜4が適宜設けられ、またトレンチの上部周辺にはn型ソース領域2Aと、 p^+ 型ソース領域2Bがそれぞれ形成されている。また、基板7の裏面側には、ドレイン電極8が適宜設けられている。

【0028】

図2を参照しつつ、このMOSFETの平面構造について説明すると、図1において互いに並行して形成された複数の埋め込みゲート電極1は、これら埋め込みゲート電極1と略直交して形成されたゲート電極部GEで連結され、さらにゲート電極部GEに対するゲートコンタクトGCにより、図示しないゲート配線に接続されている。また、図示しない層間絶縁膜を介したソースコンタクトSCにより、ソース領域2A、2Bに図示しないソース配線が接続される。これらゲート配線とソース配線とは、図示しない層間絶縁膜により絶縁されている。

【0029】

本実施形態においては、ゲート酸化膜3は、厚みが薄いゲート酸化膜3aと厚いゲート酸化膜3bとを有する。そして、これらの境界付近に隣接して半導体層

中に選択的に p 型化領域 9 が設けられている。

【0030】

図 3 は、p 型化領域 9 の付近を拡大した要部断面図である。p 型ベース領域 5 と n⁺型エピタキシャル領域 6 との境界 B1 は、p 型化領域 9 の領域外においては、ゲート酸化膜 3 の薄いゲート酸化膜 3a と厚いゲート酸化膜 3b との境界 B2 よりも、距離 d だけ上側にずれている。そして、p 型化領域 9 は、これらの段差をつなげるように略傾斜状に形成され、p 型ベース領域 5 の一部として作用する。つまり、p 型ベース領域 5 と同様に、ゲート電圧の印加によって p 型化領域 9 にもチャンネルを形成することができる。

【0031】

本実施形態によれば、まず、ゲート酸化膜 3 に厚いゲート酸化膜 3b を設けることにより、ゲート電極 1 とエピタキシャル領域 6 との間の寄生容量を低下させることができる。つまり、ドレイン・ゲート間容量 (C_{gd}) を低下させることにより、スイッチング損失 (Q_{sw}) を低減できる。例えば、ゲート酸化膜 3 を厚膜化しない場合に比べて、ドレイン・ゲート間容量をおよそ 40 パーセント程度、低減することも可能である。

【0032】

また、本実施形態においては、厚いゲート酸化膜 3b は、トレンチの幅の半分よりも小なる厚みを有する。このため、トレンチの底部には、厚いゲート酸化膜 3b に囲まれた凹部が形成され、ゲート電極 1 が、この凹部にも充填されている。このように、厚いゲート酸化膜 3b の内側にもゲート電極 1 を充填することにより、いわゆる「蓄積層効果」が得られる。すなわち、エピタキシャル領域 6 に隣接して形成されたトレンチに形成された厚い酸化膜 3b を介してゲート電極 1 が存在すると、ゲート電極 1 に正のバイアスを印加した時に、エピタキシャル領域 6 の電子キャリアがトレンチの側壁の近傍に蓄積する。このため、図 13 に例示した如くトレンチ底部に平坦な厚い酸化膜を形成した構造と比べて、オン抵抗 (R_{on}) の増大を抑制できるという効果が得られる。

【0033】

またさらに、p 型化領域 9 を設けることにより、図 12 (a) 及び (b) に関

して前述したような、境界B1とB2との「ずれ」を解消できる。つまり、p型化領域9を設けることによって、境界B1を下方に傾斜させゲート酸化膜3の近くで境界B2とほぼ一致させることができる。

【0034】

このようにして境界B1とB2とを略一致させれば、ゲート酸化膜3の薄いゲート酸化膜3aがエピタキシャル領域6のほうに過度に張り出すこともなく、その逆に、ゲート酸化膜3の厚いゲート酸化膜3bがp型領域5のほうに過度に張り出すこともなくなる。その結果として、オン抵抗(R_{on})の増大を抑制しつつ、ドレイン・ゲート間容量(C_{gd})を確実に低下させ、スイッチング損失(Q_{sw})を低減することができる。

【0035】

このp型化領域9は、後に詳述するように、トレンチの内側から n^- 型エピタキシャル領域6の一部にp型不純物を導入するか、または、ベース領域5の表面側から n^- 型エピタキシャル領域6の一部にp型不純物を打ち込むことにより形成することができる。そして、特に、トレンチの内側から不純物を導入した場合、ゲート酸化膜3の厚みの分布に応じて、セルフアライン（自己整合）的に形成することも可能となる。

【0036】

ここで、各領域のキャリア濃度について説明すると、p型ベース領域5の濃度は、概ね $10^{17} \sim 10^{18} / \text{cm}^3$ であり、 n^- 型エピタキシャル領域6の濃度は概ね $10^{16} / \text{cm}^3$ のオーダーである。これらに対して、p型化領域9の濃度は、これらの中間的な濃度とすることが望ましい。つまり、p型化領域9のキャリア濃度は、概ね $10^{17} / \text{cm}^3$ 程度とすることができる。p型化領域9のキャリア濃度をこの程度に設定すると、エピタキシャル領域6にp型不純物を導入することによる導電型の反転を容易に起こすことができる。また同時に、p型ベース領域5のキャリア濃度を過度に上げすぎる心配もなくなる。

【0037】

次に、本実施形態の半導体装置の製造方法について説明する。

【0038】

図 4 は、本実施形態の半導体装置の第 1 の製造方法の要部を表す工程断面図である。

まず、同図 (a) に表したように、n-型エピタキシャル領域 6 を有する半導体基板 7 の表面に p 型不純物を拡散させて p 型ベース領域 5 を形成し、さらに SiO₂ からなるマスク M1 を被着パターンニングする。そして、このマスク M1 の開口部をエッチングして、エピタキシャル領域 6 まで突き抜ける第 1 のトレンチ T を形成する。トレンチ T の深さは例えば 1 マイクロメートルで、その幅 (図 4 における左右方向の幅) は例えば 500 ナノメートル程度とすることができる。

【0039】

次に、マスク M1 を除去した後、図 4 (b) に表したように、トレンチ T の内壁に厚い酸化膜 3 b を形成する。酸化膜 3 b の厚みは、例えば、200 ナノメートル程度とすることができる。その後、レジスト R を充填し、ウェーハ表面からアッシングなどの方法によりレジスト R を後退させる。そして、図示したように、レジスト R の上面が p 型ベース領域 5 よりも下側になるように調節する。

【0040】

次に、図 4 (c) に表したように、レジスト R をマスクとして用い、酸化膜 3 b をエッチングする。つまり、レジスト R とほぼ同じ深さまで酸化膜 3 b を選択的に除去する。さらに、レジスト R 及び選択的にトレンチ底部に残した酸化膜 3 b をマスクとして用い、トレンチ T の側面に p 型不純物を導入することにより p 型化領域 9 を形成する。p 型不純物の導入方法としては、例えば、気相拡散法や、斜め方向からのイオン注入法を用いることができる。またこの際に、p 型不純物の導入量としては、前述したように n-型エピタキシャル領域 6 の導電型が p 型に反転し、且つ、p 型ベース領域 5 のキャリア濃度があまり上昇しない範囲とすることが望ましい。具体的には、p 型化領域 9 のキャリア濃度が、n-型エピタキシャル領域 6 よりも高く、p 型ベース領域 5 よりも低い濃度となるように p 型不純物を導入することが望ましい。

【0041】

その後、図 4 (d) に表したように、レジスト R を除去してトレンチ T の上側に薄いゲート酸化膜 3 a を形成し、残余の空間にゲート電極 1 を充填する。薄い

ゲート酸化膜 3 a の厚みは、例えば、5 0 ナノメートル程度とすることができる。
また、ゲート電極 1 としては、例えば、ポリ（多結晶）シリコンを用いることができる。

【 0 0 4 2 】

さらに、p 型ベース領域 5 の表面に、n 型ソース領域 2 を形成し、図示しない層間絶縁膜やドレイン電極などを形成すると、本実施形態の半導体装置の要部が完成する。

【 0 0 4 3 】

以上説明した本実施形態の製造方法によれば、図 4（c）に関して前述したように、厚い酸化膜 3 b をマスクとしてトレンチ内壁面に p 型不純物を導入することにより、p 型化領域 9 をセルフアライン的に形成することができる。このようにして得られた構造においては、図 3 に例示したように、p 型化領域 9（p 型ベース領域 5 の一部として作用する）と n 型エピタキシャル領域 6 との境界 B 1 と、ゲート酸化膜 3 a と 3 b との境界 B 2 と、を略一致させることができる。その結果として、オン抵抗（ R_{on} ）の増加を抑制しつつ、ドレイン・ゲート間容量（ C_{gd} ）を確実に低下させ、スイッチング損失（ Q_{sw} ）を低減することができる。

【 0 0 4 4 】

なお、本実施形態においては、図 4（b）に関して前述したように、レジスト R の上面を p 型ベース領域 5 よりも下になるように形成することが望ましい。この場合に、両者の位置関係は精密に制御する必要はない。本実施形態においては、p 型化領域 9 をセルフアライン的に形成できるからである。

【 0 0 4 5 】

レジスト R の上面と、p 型ベース領域 5 との位置関係を左右するプロセス要因としては、例えば、ベース領域 5 の拡散深さやトレンチ T のエッチング深さ、レジスト R を後退させる際のエッチング量などの「ばらつき」を挙げることができる。

【 0 0 4 6 】

しかし、本発明者の検討の結果によれば、例えば、レジスト R の上面が、p 型

ベース領域 5 よりも 2 0 0 ナノメートル程度低くなるようにプロセス条件を設定しておけば、これらプロセス条件に「ばらつき」が生じた場合でも、常にレジスト R の上面をベース領域 5 よりも下側に形成することができた。そして、p 型化領域 9 をセルフアライン的に形成することにより、本実施形態の半導体装置を極めて安定的に量産することが可能となる。

【 0 0 4 7 】

次に、本実施形態の半導体装置の製造方法の変型例について説明する。

【 0 0 4 8 】

図 5 は、本実施形態の半導体装置の第 2 の製造方法の要部を表す工程断面図である。

同図 (a) 及び (b) は、図 4 及び (b) に関して前述した工程と同様であるので説明を省略する。

【 0 0 4 9 】

これら工程の後、本具体例においては、図 5 (c) に表したように、レジスト R をマスクとして厚い酸化膜 3 b をエッチングする。

【 0 0 5 0 】

しかる後に、図 5 (d) に表したように、レジスト R を除去してトレンチ T の上側に薄いゲート酸化膜 3 a を形成し、残余の空間にゲート電極 1 を充填する。そして、p 型ベース領域 5 の表面にマスク M 2 を形成し、その開口を介して p 型不純物を導入することにより、p 型化領域 9 を形成する。この場合には、p 型不純物をウェーハ表面から深く導入する必要があるので、高エネルギーのイオン注入法などを用いることが望ましい。

【 0 0 5 1 】

しかる後に、マスク M 2 を除去し、p 型ベース領域 5 の表面に、n 型ソース領域 2 を形成し、図示しない層間絶縁膜やドレイン電極などを形成すると、本実施形態の半導体装置の要部が完成する。

【 0 0 5 2 】

以上説明した本実施形態の第 2 の製造方法によれば、ウェーハ表面から p 型不純物を導入することによって p 型化領域 9 を形成し、オン抵抗 (R_{on}) の増加

を抑制しつつ、ドレイン・ゲート間容量 (C_{gd}) を確実に低下させ、スイッチング損失 (Q_{sw}) を低減することが可能である。

【 0 0 5 3 】

次に、本実施形態の半導体装置の製造方法のさらなる変型例について説明する。

【 0 0 5 4 】

図 6 は、本実施形態の半導体装置の第 3 の製造方法の要部を表す工程断面図である。

【 0 0 5 5 】

本変型例においては、まず図 6 (a) に表したように、基板 1 の上に n-型エピタキシャル領域 6 を形成し、第 1 のトレンチ T1 を開口する。そして、トレンチ T1 の内壁に厚い酸化膜 3 b を、トレンチ T1 の幅の半分よりも小なる厚みで形成する。

【 0 0 5 6 】

しかる後に、図 6 (b) に表したように、p 型ベース領域 5 をエピタキシャル成長させる。そして、第 1 のトレンチ T1 の上に、これに連続するように第 2 のトレンチ T2 を開口する。そしてさらに、第 2 のトレンチ T2 の底に露出している厚い酸化膜 3 b をエッチングし、その上面を後退させる。このエッチング・プロセスにより、酸化膜 3 b の上面を p 型ベース領域 5 よりも下側に後退させることができる。

【 0 0 5 7 】

次に、図 6 (c) に表したように、トレンチ T1、T2 の内壁に p 型不純物を導入する。この工程は、図 4 (c) に関して前述したものと同様に実施することができる。

【 0 0 5 8 】

そして図 6 (d) に表したように、トレンチ T1、T2 の内壁に薄いゲート酸化膜 3 a を形成し、残余の空間にゲート電極 1 を充填する。薄いゲート酸化膜 3 a の厚みは、例えば、50 ナノメートル程度とすることができる。また、ゲート電極 1 としては、例えば、ポリ (多結晶) シリコンを用いることができる。

【0059】

さらに、p型ベース領域5の表面に、n型ソース領域2を形成し、図示しない層間絶縁膜やドレイン電極などを形成すると、本実施形態の半導体装置の要部が完成する。

【0060】

以上説明した本実施形態の第3の製造方法によれば、厚い酸化膜3bの上面を図6(b)に関して前述したように、後退させることにより、p型ベース領域5よりも下側に確実に形成することができる。しかる後に、p型化領域9をセルフアライン的に形成することによって、オン抵抗(R_{on})の増加を抑制しつつ、ドレイン・ゲート間容量(C_{gd})を確実に低下させ、スイッチング損失(Q_{sw})を低減することができる。

【0061】

(第2の実施の形態)

次に、本発明の第2の実施の形態について説明する。

【0062】

図7は、本発明の第2の実施の形態にかかる半導体装置の断面構造を例示する模式図である。同図については、図1乃至図6に関して前述したものと同様の要素には同一の符号を付して詳細な説明は省略する。

【0063】

本実施形態においては、ゲート酸化膜3のうちの厚いゲート酸化膜3bは、トレンチの底部を略平坦に埋め尽くすように形成されている。つまり、図1に関して前述した第1の実施の形態の構造と比較した場合、厚いゲート酸化膜3bの膜厚をさらに厚く形成し、このゲート酸化膜3bがトレンチの幅の半分よりも大なる厚みを有するように形成する。このようにすると、図7に表したように、厚いゲート酸化膜3bは、トレンチの底部を略平坦に埋め尽くすように形成される。

【0064】

このようにしても、ゲート電極1とエピタキシャル領域6との間の寄生容量を低下させることができる。つまり、ドレイン・ゲート間容量(C_{gd})を低下させることにより、スイッチング損失(Q_{sw})を低減できる。例えば、ゲート酸

化膜 3 を厚膜化しない場合に比べて、ドレイン・ゲート間容量をおよそ 4 0 パーセント以上も低減することができる。

【 0 0 6 5 】

また、本実施形態においても、p 型化領域 9 を設けることにより、図 1 2 (a) 及び (b) に関して前述したような、境界 B 1 と B 2 との「ずれ」を解消できる。つまり、p 型化領域 9 を設けることによって、境界 B 1 を下方に傾斜させゲート酸化膜 3 の近くで境界 B 2 とほぼ一致させることができる。

【 0 0 6 6 】

このようにして境界 B 1 と B 2 とを略一致させることにより、オン抵抗 (R_{on}) の増大を抑制しつつ、ドレイン・ゲート間容量 (C_{gd}) を確実に低下させ、スイッチング損失 (Q_{sw}) を低減することができる。そして、後に詳述するように、この p 型化領域 9 も、セルフアライン的に形成することができる。

【 0 0 6 7 】

以下、本実施形態の半導体装置の製造方法について説明する。

【 0 0 6 8 】

図 8 は、本実施形態の半導体装置の第 1 の製造方法を表す工程断面図である。

【 0 0 6 9 】

本具体例においてはまず、図 8 (a) に表したように、基板 7 の上に n 型エピタキシャル領域 6、p 型ベース領域 5 を形成する。そして、p 型ベース領域 5 を貫通してエピタキシャル領域 6 に至るトレンチ T を形成する。さらに、トレンチ T の両側壁に、窒化シリコン (SiN_x) からなる被覆層 C を形成する。

【 0 0 7 0 】

次に、図 8 (b) に表したように、被覆層 C により覆われていないベース領域 5 の表面とトレンチ T の底部を酸化させ、厚い酸化膜 3 b を形成する。酸化膜 3 b の形成方法としては、いわゆる熱酸化法でもよく、あるいは酸素の中性粒子の注入法によっても厚い酸化膜 3 b を形成することが可能である。また、この工程においては、トレンチ T の深さをエピタキシャル領域 6 に至るように適宜調節すれば、厚い酸化膜 3 b の上面を p 型ベース領域 5 よりも下側に設けることは容易である。

【 0 0 7 1 】

しかる後に、図 8 (c) に表したように、被覆層 C を除去し、トレンチ T の側壁に p 型不純物を導入して p 型化領域 9 を形成する。この際も、厚い酸化膜 3 b がマスクとして作用し、p 型化領域 9 をセルフアライン的に形成することができる。

【 0 0 7 2 】

この後、図 8 (d) に表したように、トレンチ T の側壁に薄い酸化膜 3 a を形成し、残余の空間をゲート電極 1 により埋め込む。さらに、p 型ベース領域 5 の表面の厚い酸化膜 3 b を除去し n 型ソース領域 2 などを適宜形成することにより、本実施形態の半導体装置の要部が完成する。

【 0 0 7 3 】

以上説明したように、本実施形態の製造方法によれば、トレンチの底部を略平坦に埋め尽くす厚い酸化膜 3 b を形成することが容易である。そして、p 型化領域 9 を、セルフアライン的に形成することにより、オン抵抗 (R_{on}) の増大を抑制しつつ、ドレイン・ゲート間容量 (C_{gd}) を確実に低下させ、スイッチング損失 (Q_{sw}) を低減させた半導体装置を安定的に量産することができる。

【 0 0 7 4 】

次に、本実施形態の半導体装置の製造方法の変型例について説明する。

【 0 0 7 5 】

図 9 は、本実施形態の半導体装置の第 2 の製造方法の要部を表す工程断面図である。

【 0 0 7 6 】

本変型例においては、まず図 9 (a) に表したように、基板 1 の上に n 型エピタキシャル領域 6 を形成し、第 1 のトレンチ T 1 を開口する。そして、トレンチ T 1 の内部に厚い酸化膜 3 b をトレンチ T 1 の幅の半分よりも大なる厚みで形成し充填する。

【 0 0 7 7 】

しかる後に、図 9 (b) に表したように、p 型ベース領域 5 をエピタキシャル成長させる。そして、第 1 のトレンチ T 1 の上に、これに連続するように第 2 の

トレンチ T 2 を開口する。そしてさらに、第 2 のトレンチ T 2 の底に露出している厚い酸化膜 3 b をエッチングし、その上面を後退させる。このエッチング・プロセスにより、酸化膜 3 b の上面を p 型ベース領域 5 よりも下側に後退させることができる。

【 0 0 7 8 】

次に、図 9 (c) に表したように、トレンチ T 1、T 2 の内壁に p 型不純物を導入する。この工程は、図 4 (c) に関して前述したものと同様に実施することができる。

【 0 0 7 9 】

そして図 9 (d) に表したように、トレンチ T 1、T 2 の内壁に薄いゲート酸化膜 3 a を形成し、残余の空間にゲート電極 1 を充填する。さらに、p 型ベース領域 5 の表面に、n 型ソース領域 2 を形成し、図示しない層間絶縁膜やドレイン電極などを形成すると、本実施形態の半導体装置の要部が完成する。

【 0 0 8 0 】

以上説明した本実施形態の第 2 の製造方法においては、厚い酸化膜 3 b の上面を図 9 (b) に関して前述したように、後退させることにより、p 型ベース領域 5 よりも下側に確実に形成することができる。しかる後に、p 型化領域 9 をセルフアライン的に形成することによって、オン抵抗 (R_{on}) の増加を抑制しつつ、ドレイン・ゲート間容量 (C_{gd}) を確実に低下させ、スイッチング損失 (Q_{sw}) を低減することができる。

【 0 0 8 1 】

以上、具体例を参照しつつ本発明の実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。

【 0 0 8 2 】

例えば、本発明は、いわゆる「トレンチ型ゲート」を有する各種の半導体装置に適用して同様の作用効果が得られ、これらも本発明の範囲に包含される。

【 0 0 8 3 】

また、以上説明した半導体装置の各要素の材料、導電型、キャリア濃度、不純物、厚み、配置関係などに関して当業者が適宜設計変更を加えたものも、本発明

の特徴を有する限りにおいて本発明の範囲に包含される。

【 0 0 8 4 】

さらにまた、製造方法についても同様である。すなわち、p型化領域9をセルフアライン的に形成するプロセスとして、例えば、図4(c)には、トレンチの内壁に半導体層を露出させて行う具体例を例示したが本発明はこれには限定されない。

【 0 0 8 5 】

図10は、p型化領域9をセルフアライン的に形成する他の方法を表す要部断面図である。すなわち、薄い酸化膜3aと厚い酸化膜3bとを形成した後に、これらの上からp型不純物を導入する。ここでは、例えば、薄い酸化膜3aとして、厚みが50ナノメートル程度の酸化シリコン、厚い酸化膜3bとして厚みが200ナノメートル程度の酸化シリコンを用いることができる。このように、両者の厚みがある程度異なる場合には、p型不純物IMが、薄い酸化膜3aを透過しても、厚い酸化膜3bは殆ど透過しないように導入することが容易である。つまり、厚い酸化膜3bはp型不純物IMに対するマスクとして作用する。

【 0 0 8 6 】

この場合、図10においてハッチにより表した領域にp型不純物が導入され、クロスハッチにより表した部分がp型化領域9となる。その結果として、p型化領域9をセルフアライン的に形成することができる。

【 0 0 8 7 】

その他、上述した半導体装置とその製造方法の構成については、当業者が公知の範囲から適宜選択したものも、本発明の要旨を含む限り本発明の範囲に包含される。

【 0 0 8 8 】

【発明の効果】

以上詳述したように、本発明によれば、オン抵抗とスイッチング損失の低減を両立でき、しかも安定的に量産が可能なトレンチゲート型の半導体装置及びその製造方法を提供することができ、産業上のメリットは多大である。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態にかかる半導体装置の断面構造を例示する模式図である。

【図 2】

図 1 の半導体装置の電極構造を例示する透視平面図である。

【図 3】

p 型化領域 9 の付近を拡大した要部断面図である。

【図 4】

第 1 実施形態の半導体装置の第 1 の製造方法の要部を表す工程断面図である。

【図 5】

第 1 実施形態の半導体装置の第 2 の製造方法の要部を表す工程断面図である。

【図 6】

第 1 実施形態の半導体装置の第 3 の製造方法の要部を表す工程断面図である。

【図 7】

本発明の第 2 の実施の形態にかかる半導体装置の断面構造を例示する模式図である。

【図 8】

第 2 実施形態の半導体装置の第 1 の製造方法を表す工程断面図である。

【図 9】

第 2 実施形態の半導体装置の第 2 の製造方法の要部を表す工程断面図である。

【図 1 0】

p 型化領域 9 をセルフアライン的に形成する他の方法を表す要部断面図である。

【図 1 1】

本発明者が本発明に至る過程で検討した半導体装置を表す模式図である。

【図 1 2】

特許文献 1 及び 2 に開示されている構造のトレンチ底部を模式的に表した断面図である。

【図 1 3】

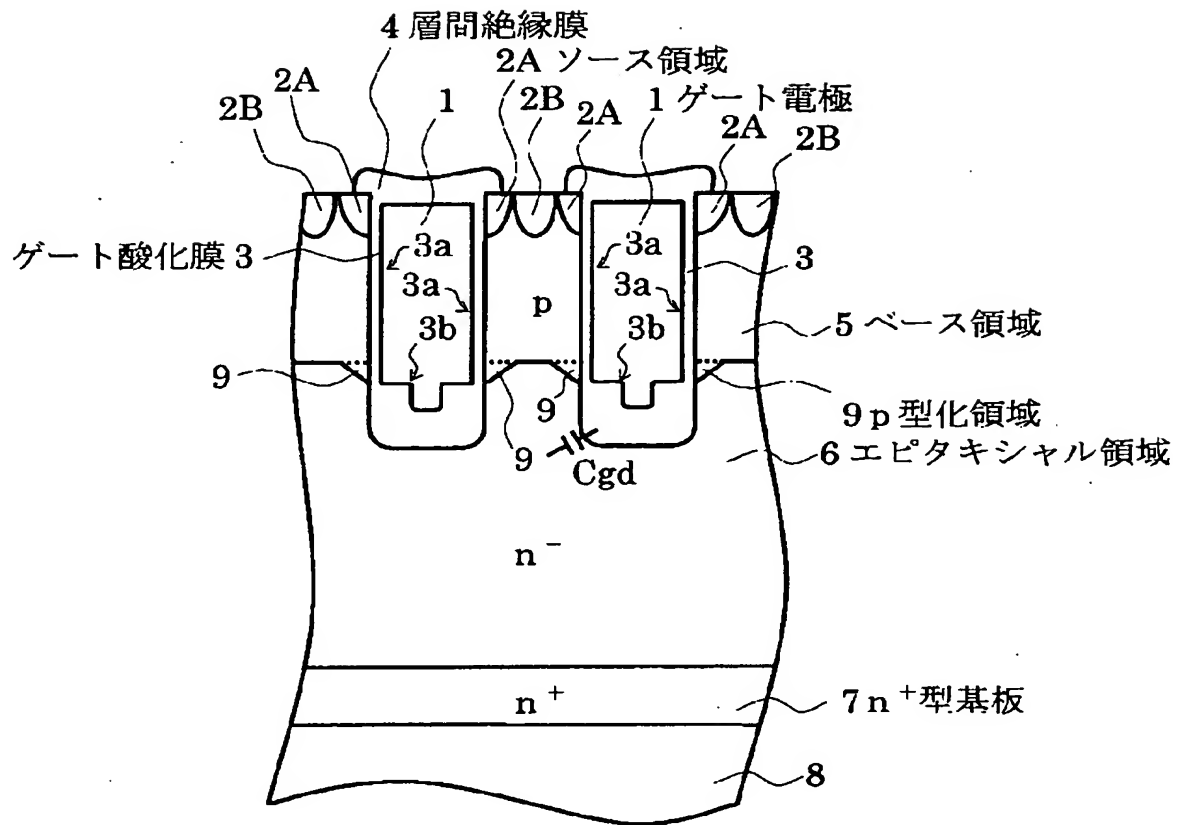
ゲート酸化膜 3 の薄いゲート酸化膜 3 a と厚いゲート酸化膜 3 b との境界を、ベース領域 5 とエピタキシャル領域 6 との境界と一致させた構造を表す断面図である。

【符号の説明】

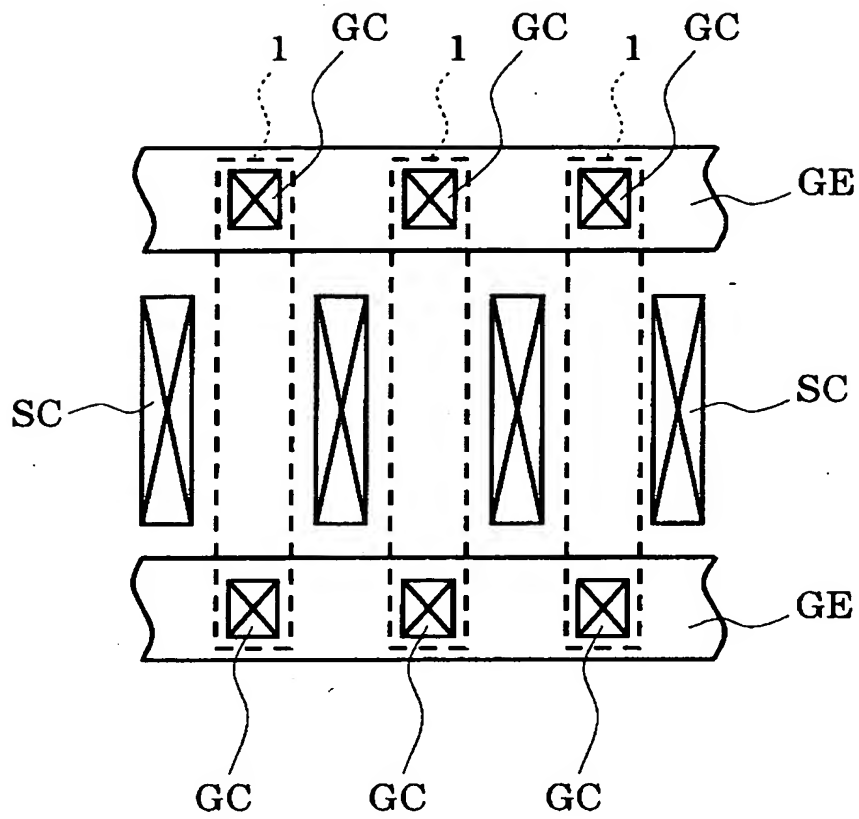
- 1 ゲート電極
- 2 A n 型ソース領域
- 2 B p⁺ 型ソース領域
- 3 ゲート酸化膜
- 3 a 薄いゲート酸化膜
- 3 b 厚いゲート酸化膜
- 4 層間絶縁膜
- 5 p 型ベース領域
- 6 n⁻ 型エピタキシャル領域
- 6 a オーバーラップ部
- 7 n 型基板
- 8 ドレイン電極
- 9 p 型化領域
- B 1、B 2 境界
- C 被覆層
- I M p 型不純物
- M 1、M 2 マスク
- R レジスト
- T、T 1、T 2 トレンチ

【書類名】 図面

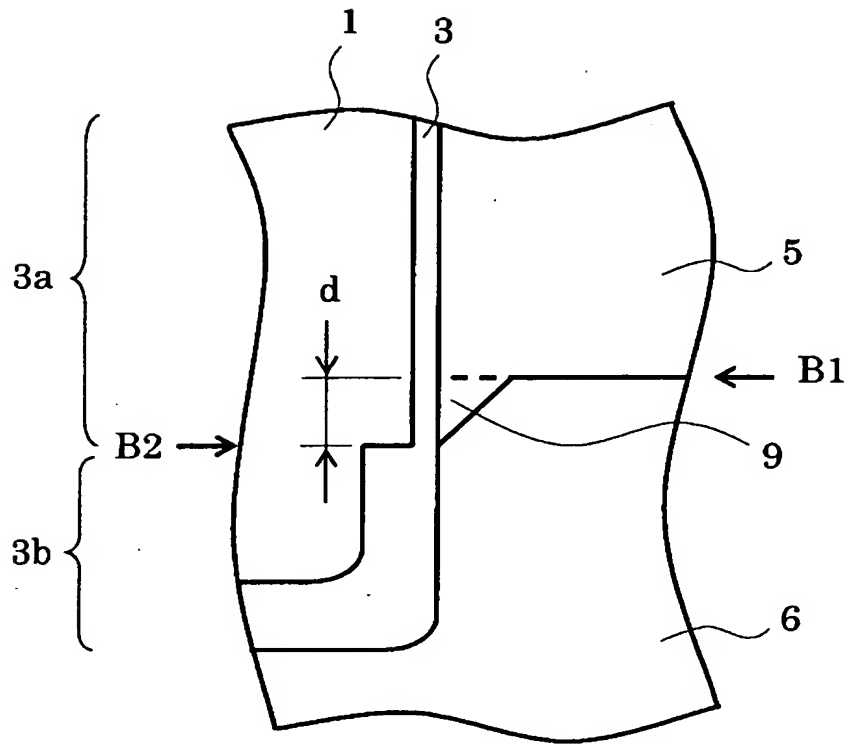
【図 1】



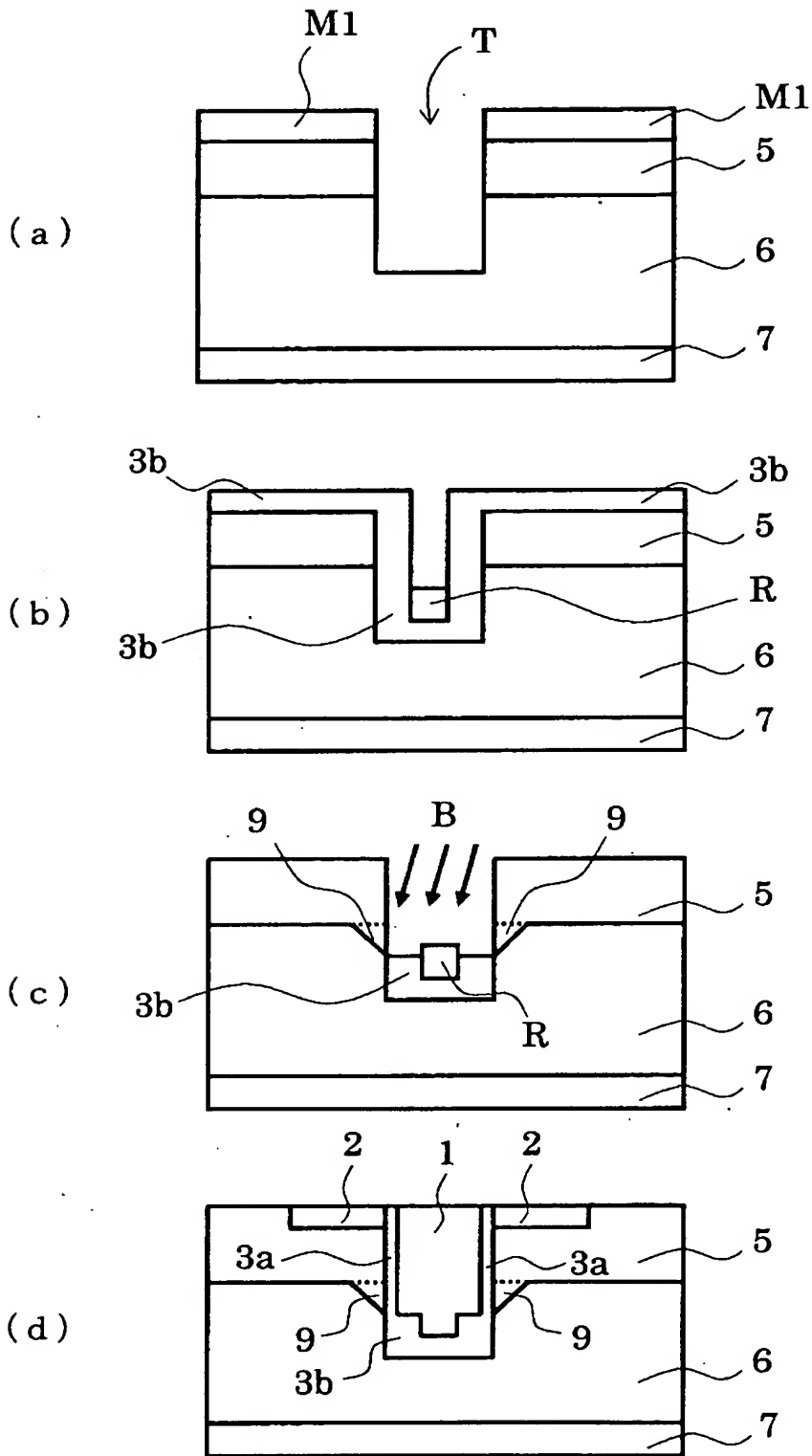
【図2】



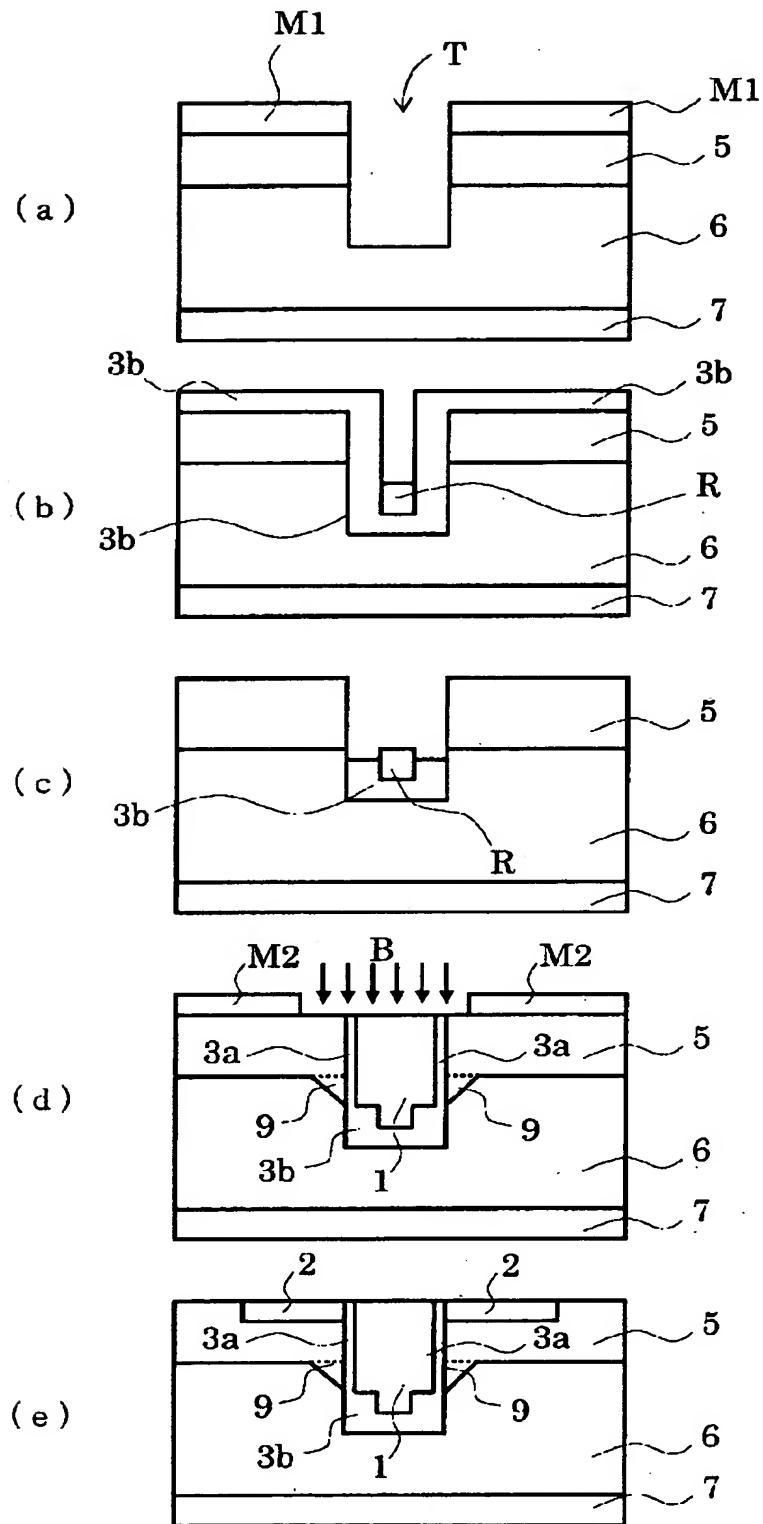
【図 3】



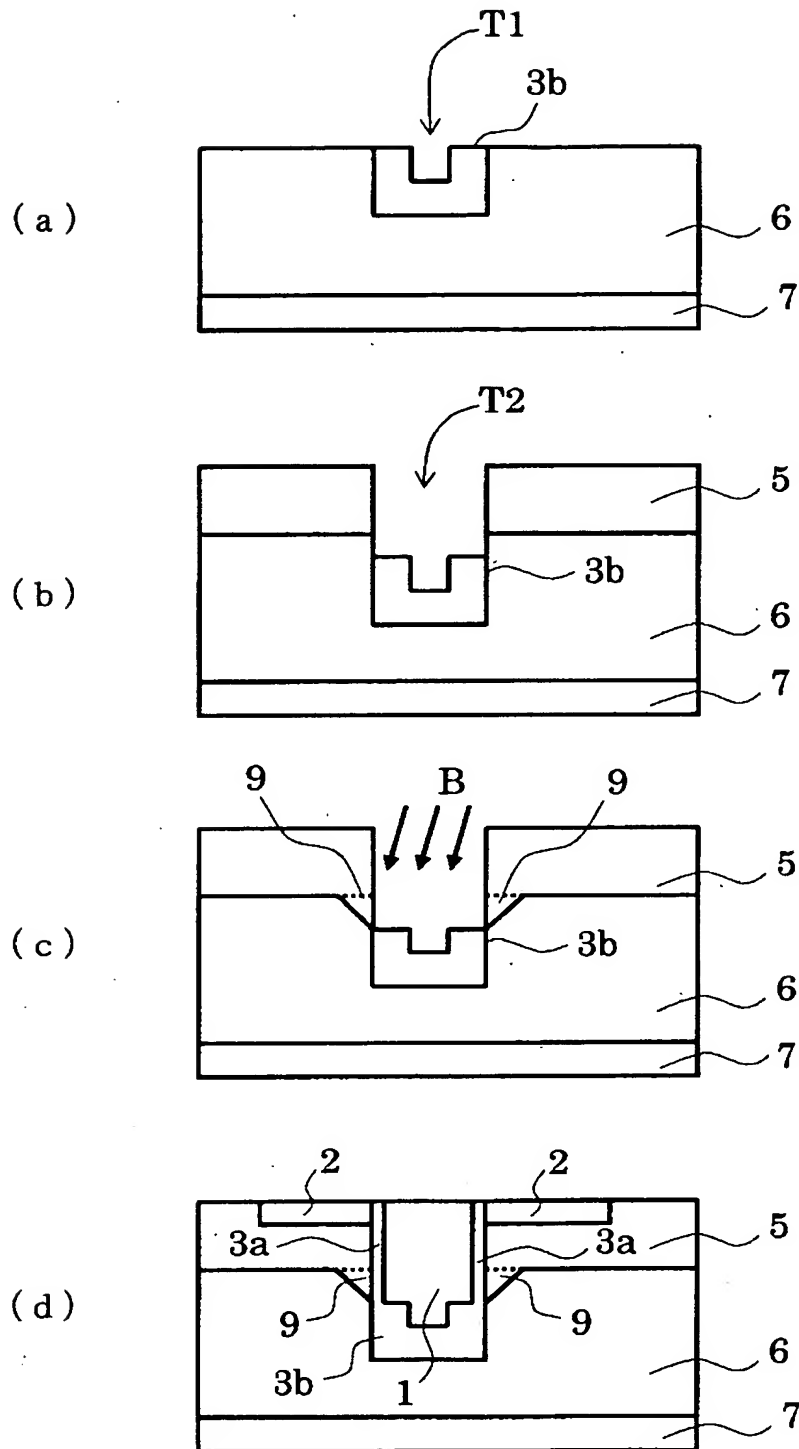
【図 4】



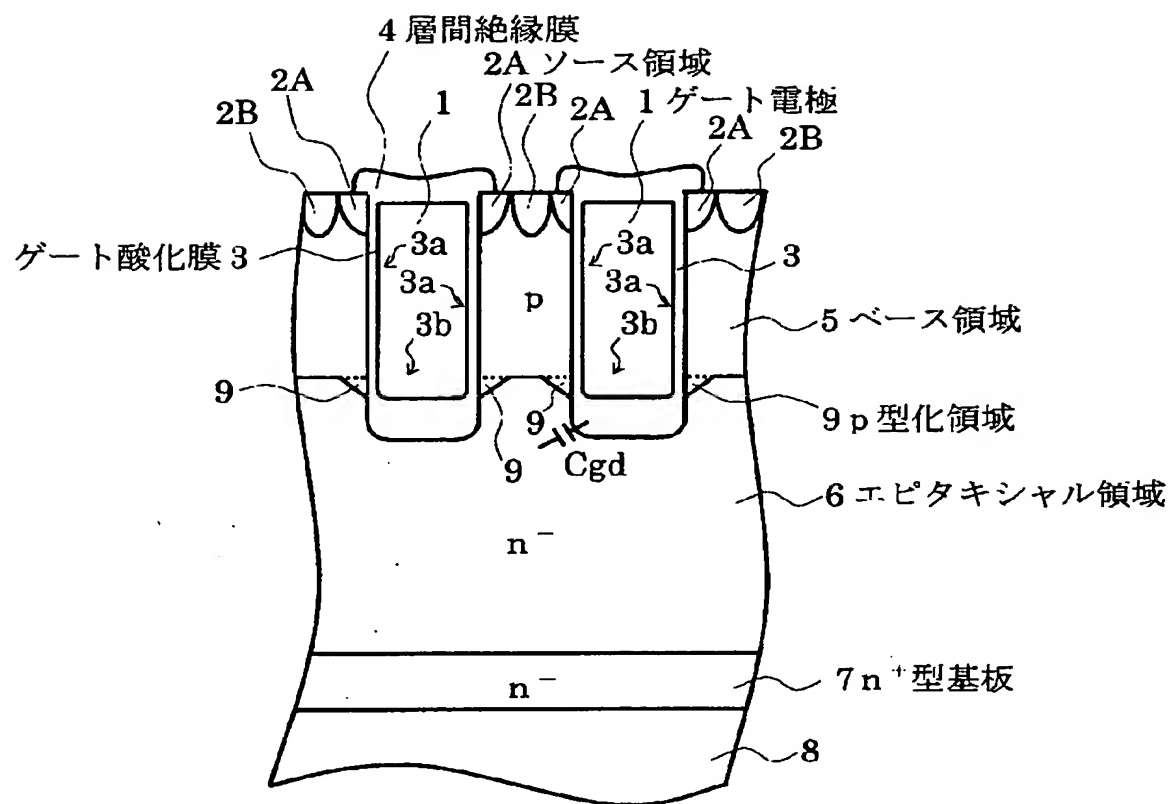
【図 5】



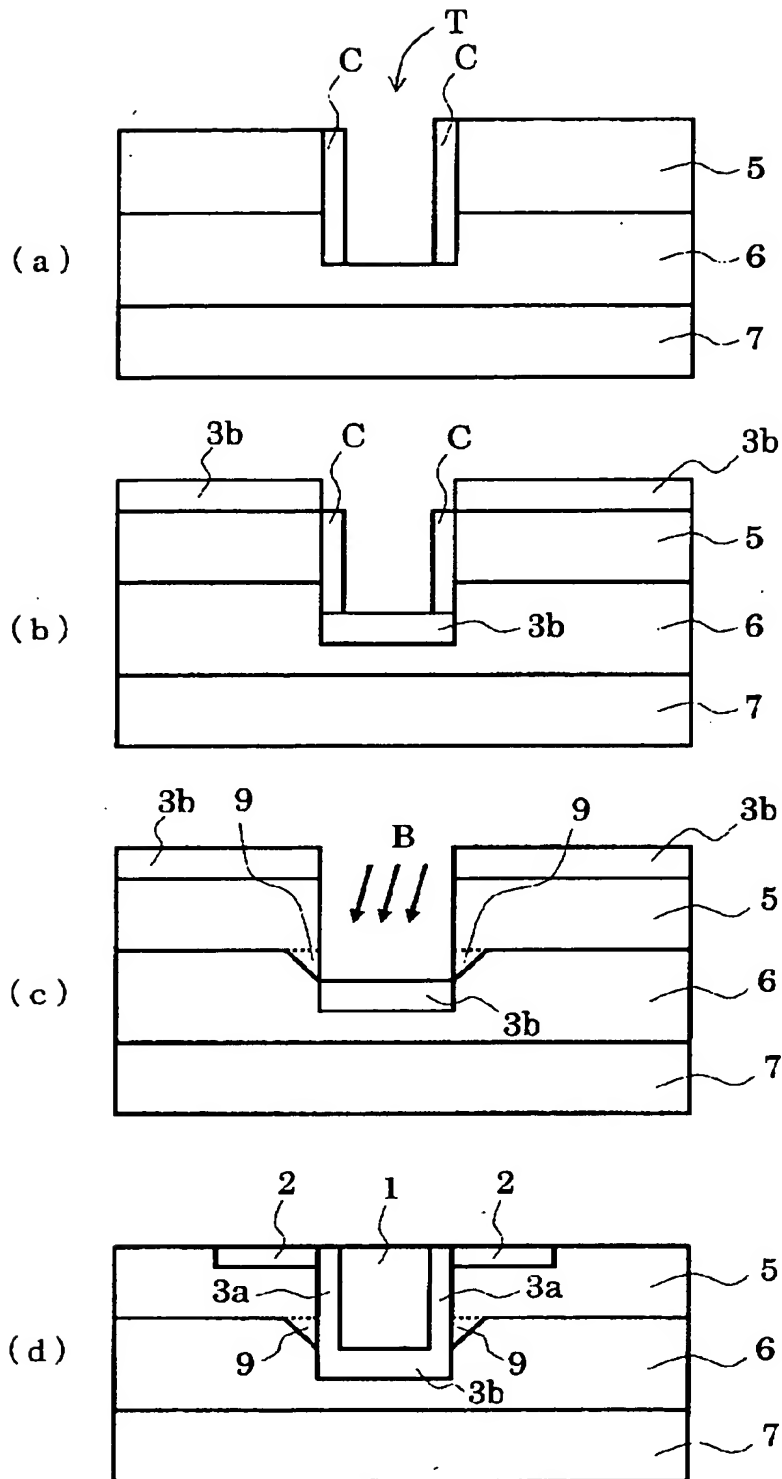
【図 6】



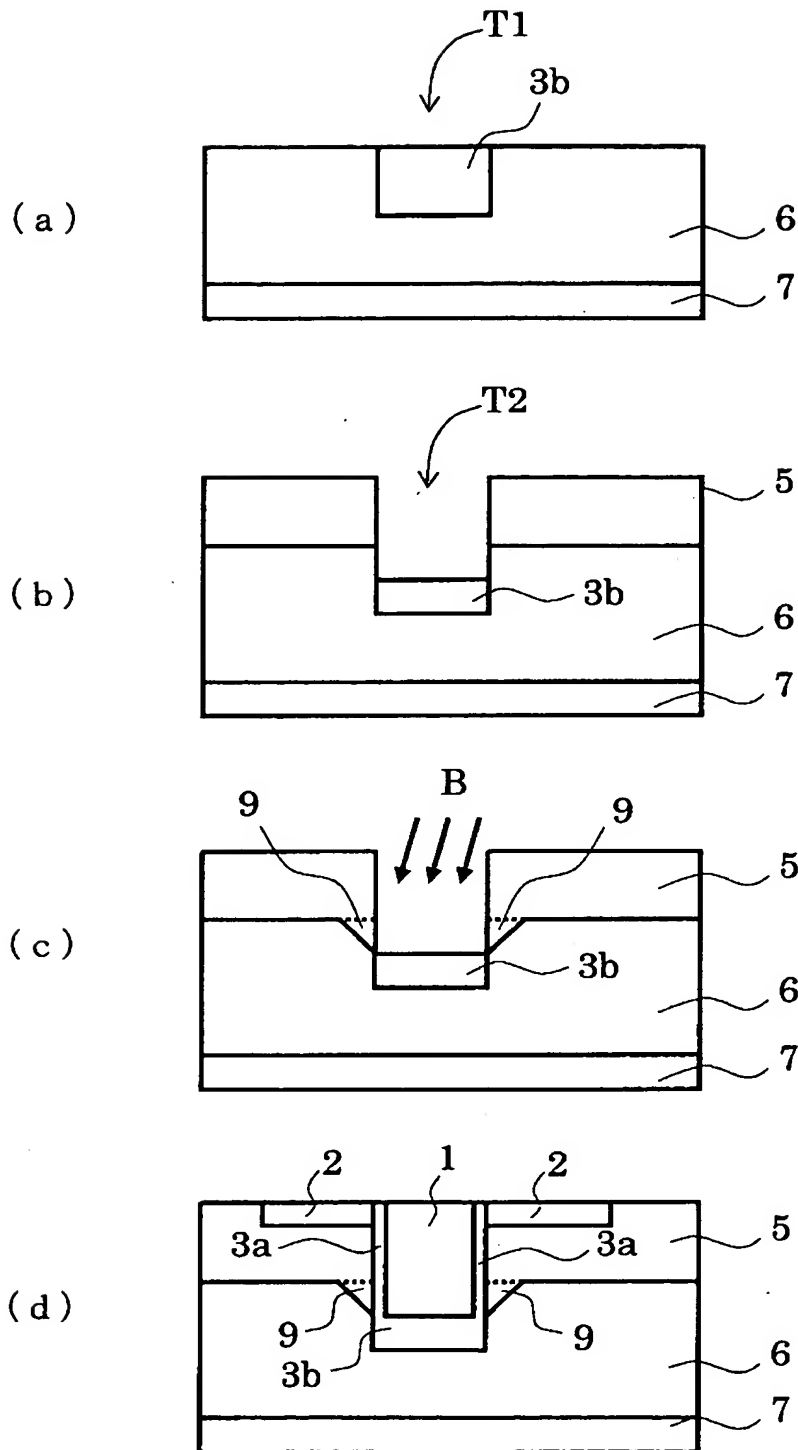
【图 7】



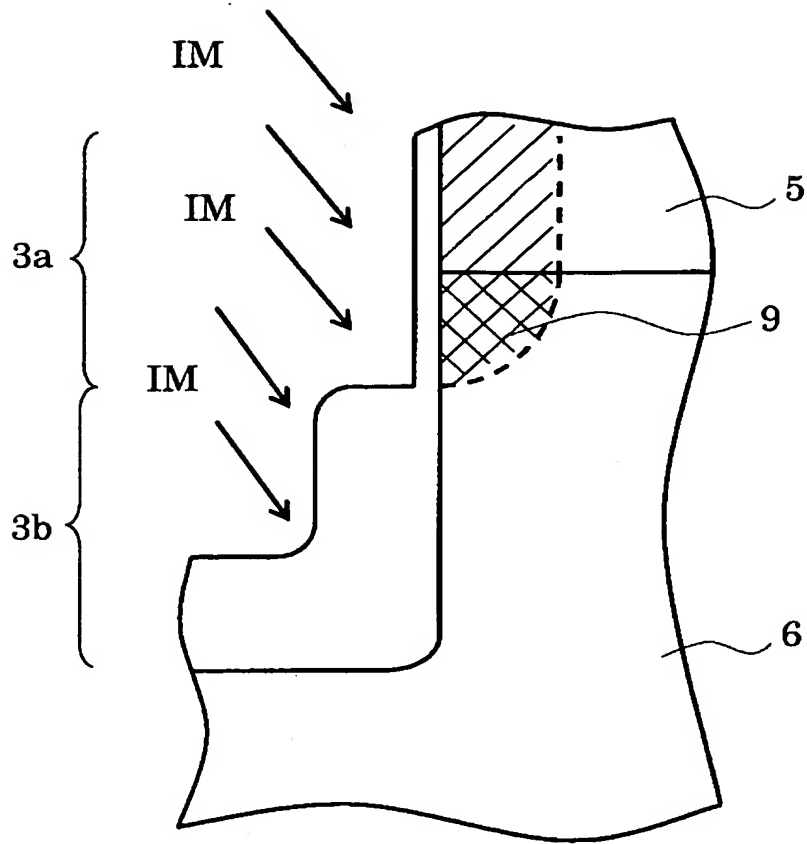
【図 8】



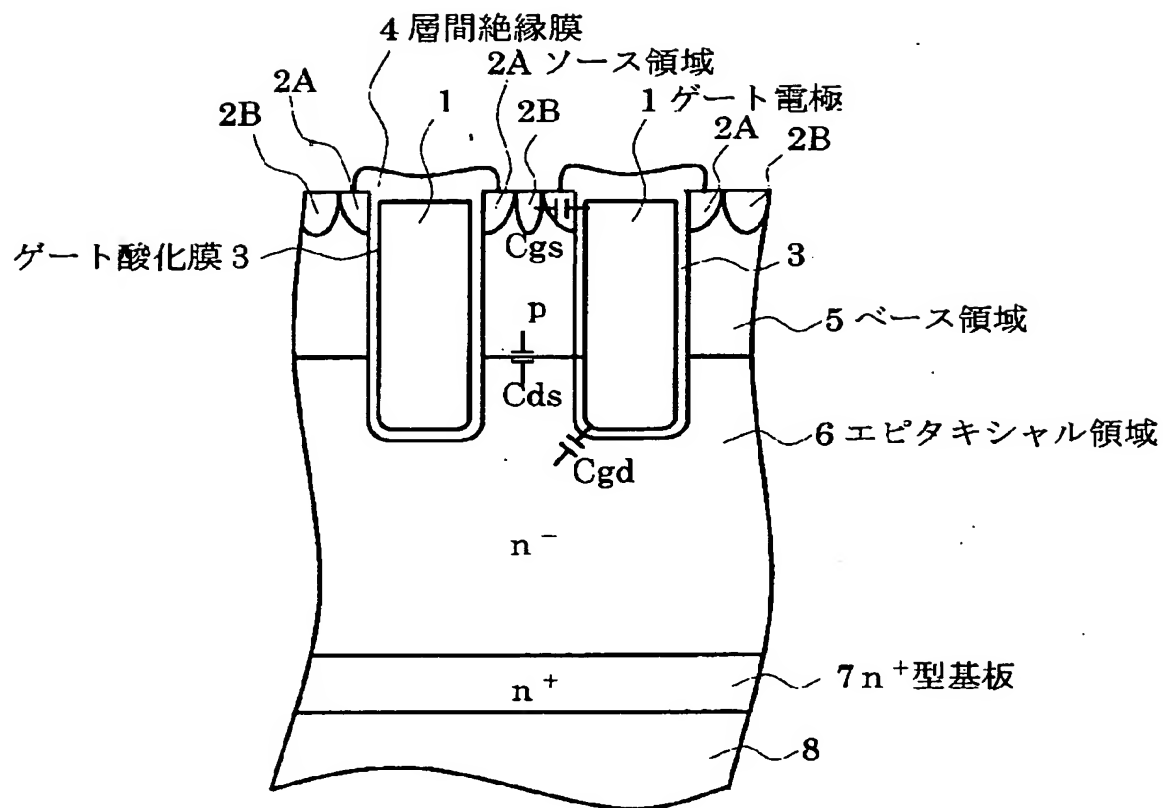
【図 9】



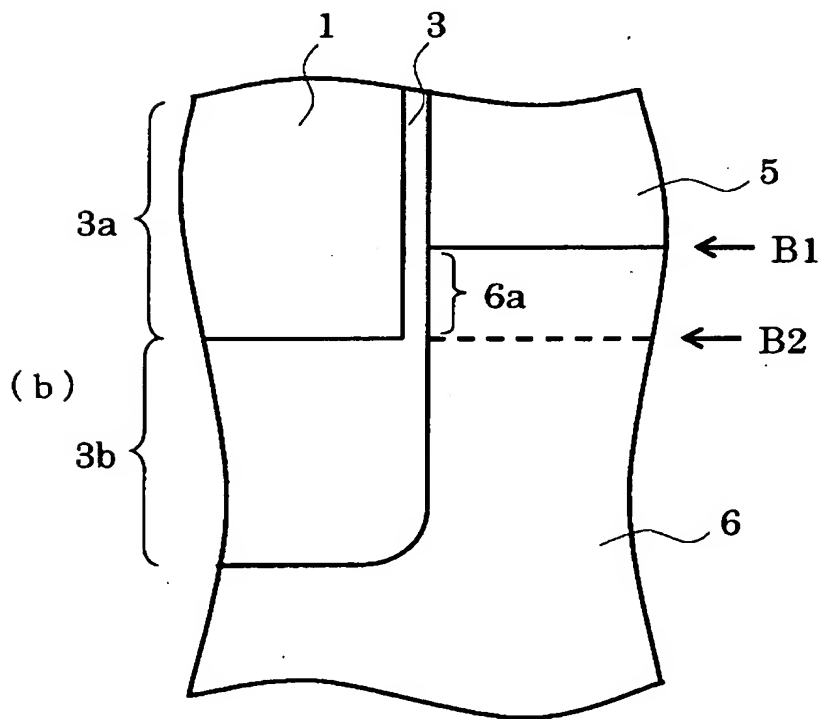
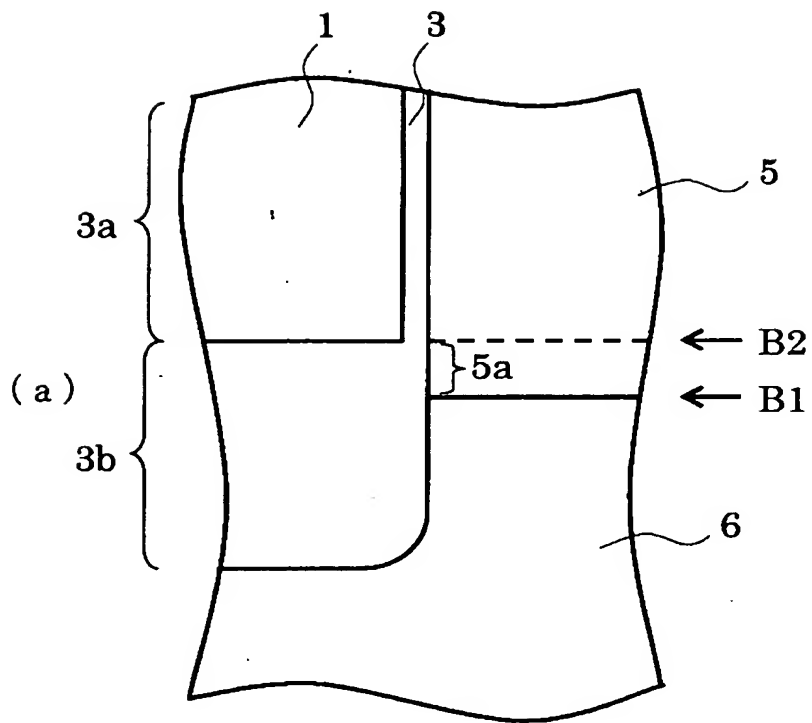
【図 1 0】



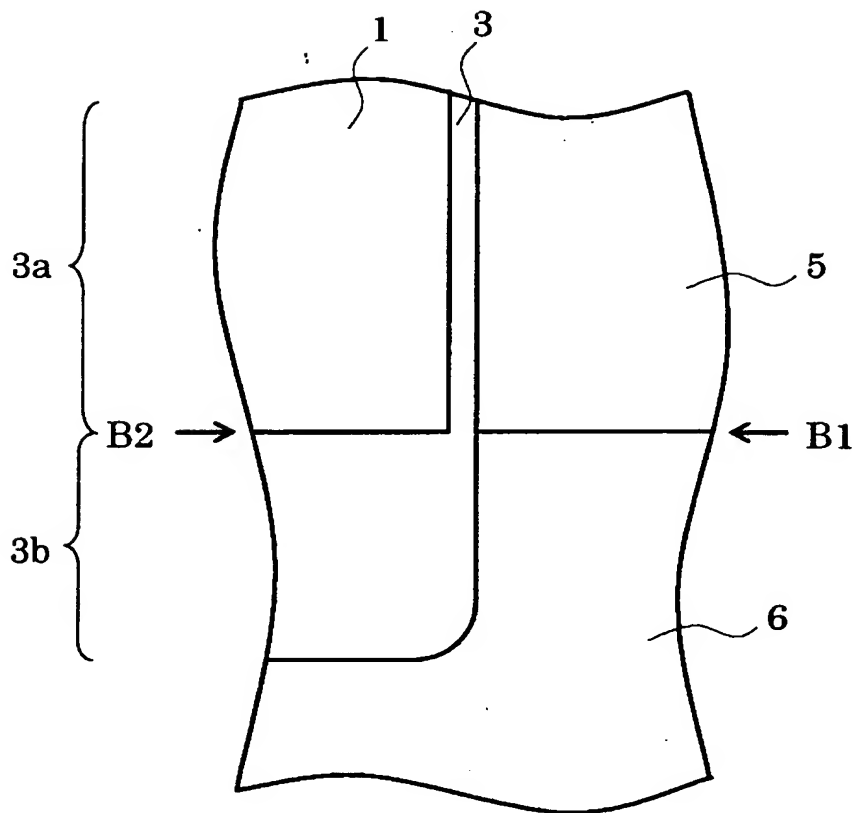
【図 1 1】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 オン抵抗とスイッチング損失の低減を両立でき、しかも安定的に量産が可能なトレンチゲート型の半導体装置及びその製造方法を提供することを目的とする。

【解決手段】 第 1 導電型の第 1 の半導体層（6）と、前記第 1 の半導体層の上に設けられた第 2 導電型の第 2 の半導体層（5）と、前記第 2 の半導体層を貫通して前記第 1 の半導体層に至るトレンチと、前記第 1 の半導体層の上面よりも下方で前記トレンチの内壁面に設けられた厚いゲート絶縁膜（3 b）と、前記厚いゲート絶縁膜の上側で前記トレンチの内壁面に設けられた薄いゲート絶縁膜（3 a）と、前記ゲート絶縁膜を介して前記トレンチ内を充填するゲート電極（1）と、前記トレンチに隣接して選択的に前記第 2 の半導体層の下から前記第 1 の半導体層側へ突出するように設けられた第 2 導電型の半導体領域（9）と、を備えたことを特徴とする半導体装置を提供する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝